

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

平3-259537

⑬ Int. Cl.³

識別記号

庁内整理番号

⑭ 公開 平成3年(1991)11月19日

H 01 L 21/336
21/322

J

7738-4M
7210-4M

H 01 L 29/78

3 2 1 Y※

審査請求 未請求 請求項の数 4 (全7頁)

⑮ 発明の名称 半導体装置及びその製法

⑯ 特 願 平2-56398

⑰ 出 願 平2(1990)3月9日

⑱ 発 明 者 角 田 英 樹 東京都小平市上水本町5丁目20番1号 日立超エル・エ
ス・アイ・エンジニアリング株式会社内

⑲ 発 明 者 吉 田 功 東京都国分寺市東恋ヶ窪1丁目280番地 株式会社日立製
作所中央研究所内

⑳ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

㉑ 出 願 人 日立超エル・エス・ア 東京都小平市上水本町5丁目20番1号
イ・エンジニアリング
株式会社

㉒ 代 理 人 弁理士 小川 勝男 外1名
最終頁に続く

明 細 書

1. 発明の名称

半導体装置及びその製法

2. 特許請求の範囲

1. 第1導電形の半導体基板上の一部に、第2導電形のベース領域を有し、該ベース領域中に第1導電形のソース領域を有し、上記ベース領域の周辺表面部分に存在する絶縁膜を介してゲート電極を有する絶縁ゲート形トランジスタにおいて、イオン打込みによる結晶欠陥層を該ベース領域近傍に生成することにより、上記半導体基板と上記ベース領域によつて形成されたダイオードを高速化したことを特徴とする半導体装置。
2. IV族元素をドーパントとして、打込みエネルギー100keV以上でイオン打込みを行うことを特徴とする請求項1記載の半導体装置の製法。
3. 結晶欠陥層生成後、300～500℃の雰囲気中にて熱処理を行う工程を含むことを特徴と

する請求項1乃至2記載の半導体装置の製法。

4. イオン打込み後、更に電子線照射を行うことを特徴とする請求項1乃至3記載の半導体装置の製法。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は半導体装置及びその製造方法に係り、パワーMOSFET、IGBTといったパワーデバイスの分野において、ライフタイムキラーの導入方法に関する。

〔従来の技術〕

従来、半導体装置への、高エネルギーイオン打ち込み法によるライフタイムキラーの導入については、特開昭62-298120号公報において論じられている。

しかし、パワーMOSFETへのライフタイムキラーの導入に関しては、その導入方法、条件等が具体的に明らかにされてはいない。

〔発明が解決しようとする課題〕

高エネルギーイオン打込みにより、パワー

特開平3-259537(2)

MOSFETにライフタイムキラーを導入し、他の特性劣化を、最小限に抑え、フライホイールダイオードの逆回復時間を短縮することを目的とする。

〔課題を解決するための手段〕

ドーパントを炭素とする高エネルギーイオン打込みを行なう。ドーパントを炭素とした理由は炭素はSi中に多量に含まれており、Si中においては電気的には非活性であることから、他の特性の劣化を最小限に抑えることが出来ることによる。

〔実施例〕

第1図は、本発明の第一の実施例である。パワーMOSFETの断面構造図である。本実施例は、定格電圧60V、定格電流30A、nチャネル形のパワーMOSFETを示す。

図において、101はn形高濃度半導体基板、102はn形低濃度領域で比抵抗が $0.8\Omega\cdot\text{cm}$ 、深さ $10\mu\text{m}$ 、103は深さ $3\mu\text{m}$ のp形拡散領域、104は深さ $1\mu\text{m}$ のn形高濃度拡散領域、105は膜厚50nmのゲート絶縁膜、106は多結晶シリコンからなるゲート電極、107はリ

ンガラス膜、108はアルミニウムからなるソース電極、109はアルミニウムからなるドレイン電極、110は高エネルギーイオン打ち込みによつて生成された結晶欠陥層である。

第2図は本発明の第一の実施例によるライフタイムキラー導入の製造工程である。図において210はライフタイムキラーとなる結晶欠陥層、207はPSG(リンガラス膜)、211はPIQ膜である。

図より、結晶欠陥層210は炭素を3MeVにて高エネルギーイオン打込みすることによって生成してある。その後、AL電極付けを行ない、しきい値電圧の変動を補正するため、H₂中450℃、60分の熱処理を行った。

これにより、n形低濃度領域202とp形拡散領域203によつて構成された、フライホイールダイオードの逆回復時間を短縮することができる。

本実施例によれば第3図に示すように、フライホイールダイオードの逆回復時間は、高エネルギーイオン打込みにより、30ms短縮することが

できた。

第4図は本発明の第一の実施例により、フライホイールダイオードの逆回復時での電流波形を示した図である。

本実施例によれば、打込み量を $1.0 \times 10^{12}\text{cm}^{-2}$ として炭素を3MeVにて高エネルギーイオン打込みし、その後、水素中450℃、60分の熱処理により、フライホイールダイオードの逆回復時間を30ms短縮することができる。

第5図は本発明の第2の実施例を示すパワーMOSFETの断面構造図である。

本実施例では、打込みエネルギーを変え、ライフタイムキラーとなる結晶欠陥層をn形低濃度領域402とp形拡散領域403との界面に生成されるよう高エネルギーイオン打込みを行ない、水素雰囲気中にて熱処理を行う。これにより第3図、第4図に示す結果と同等な効果が得られる。

第6図は、本発明の第3の実施例を示す。パワーMOSFETの断面構造図である。

本実施例では、打込みエネルギーを更に大きく

して、ライフタイムキラーとなる結晶欠陥層をn形低濃度領域602に生成されるよう、高エネルギーイオン打込みを行ない、水素雰囲気中にて熱処理する。本実施例においても第3図、第4図に示す結果と同等な効果が得られる。

第7図は本発明の第4の実施例を示すパワーMOSFETの断面構造図である。

本実施例では、パワーMOSFETとLSIとを共存させたインテリジェントパワーICの断面構造図を示す。

図において708、709、710、711、712、713は金属電極、714はp形ウエル領域、715は高エネルギーイオン打込みによつて生成した結晶欠陥層である。

本実施例によれば、IC部にマスクを設けることにより、ICの電気特性を劣化させることなく、パワーMOSFETの所定の領域のみに選択的に、高エネルギーイオン打込みによる結晶欠陥層の生成が可能である。

第8図は本発明の第5の実施例を示す。MOS

トランジスタとキャパシタによつて構成されているメモリセルの断面構造図である。

図において801はp形基板、802はSiO₂膜、803はHLD、804は反転層、805は多結晶シリコン電極、806はn形高濃度拡散領域、807はアルミニウム電極である。808は高エネルギーイオン打込みによつて生成した結晶欠陥層である。図では半導体基板上にマスクを設け、MOSトランジスタの劣化を避けるため、キャパシタ領域のみに選択的に高エネルギーイオン打込みを行い、結晶欠陥層808の生成を行う。その後、水素中にて熱処理を行う。

本実施例によれば、この結晶欠陥層808はライフタイムキラーとして機能し、ラツチアップ等により、他の領域から注入された電荷を消滅させ、キャパシタへの流入を防止することが出来る。

これにより、MOSトランジスタを劣下させることなく、ラツチアップ等によるメモリセルの誤動作を防止することができる。

第9図は本発明の第6の実施例を示す、パワー

図より、高エネルギーイオン打込みと電子線照射の組み合わせにより、ソフトリカバリーな電流波形を実現することが出来る。

これにより、モーター駆動への応用に関しては、高速かつ高効率なモーター駆動の実現が可能となり、特に破壊強度の増大といった効果が得られる。

〔作用〕

上記の構成によるパワーMOSFETにおいて部分的にのみキャリアのライフタイムが減少する領域を形成することができる。

これにより、パワーMOSFETのフライホイールダイオードの逆回復時間が著しく短縮され、モーター駆動といった応用に関しても、高速かつ高効率なモーター駆動が実現でき、更に、破壊強度の増大が可能となる。

〔発明の効果〕

パワーMOSFETに、炭素をドーパントとした、高エネルギーイオン打込みを施すことにより、ライフタイムキラーを導入した。これにより、他の電気特性の劣化を最小限に抑え、スイッチング速度

MOSFETの断面である。本実施例では、定格電圧60V、定格電流30Aのnチャネル形パワーMOSFETを示す。

本実施例では高エネルギーイオン打込みと電子線照射とを組み合わせ、ライフタイムキラーとなる結晶欠陥層の生成を行った。

第10図は本発明の上記第6の実施例による、ライフタイムキラー導入の製造工程を示したものである。

図において、1010は高エネルギーイオン打込みによつて生成した結晶欠陥層、1111はPIQである。尚、ここでは詳しく述べないが、電子線照射は高エネルギーイオン打込みの工程前或いは工程後のどちらでもよい。

本実施例では、PIQの塗布を行ない硬化後に電子線の照射を行う。照射条件は2MeVとし、照射後、水素中350℃、60分の熱処理を行う。

第11図は本発明の上記第6の実施例による、フライホイールダイオードの逆回復時での電流波形である。

の向上、破壊強度の増大を図ることができた。

4. 図面の簡単な説明

第1図は本発明の第1の実施例のパワーMOSFETの断面図、第2図は本発明の第1の実施例によるライフタイムキラー導入の製造工程を示す断面図、第3図はドーズ量と逆回復時間の関係曲線図、第4図は高エネルギーイオン打込み後におけるフライホイールダイオードの逆回復時での電流波形図、第5図は本発明の第2の実施例のパワーMOSFETの断面図、第6図は本発明の第3の実施例のパワーMOSFETの断面図、第7図は、本発明の第4の実施例のパラメータ主要部の断面図、第8図は本発明の第5の実施例を示すMOSメモリセルの断面図、第9図は本発明の第6の実施例のパワーMOSの断面図、第10図は本発明の第6の実施例によるライフタイムキラー導入の製造工程を示す断面図、第11図は高エネルギーイオン打込みと電子線照射後のフライホイールダイオードの逆回復時での電流波形図である。

101、201、501、601、701、901、

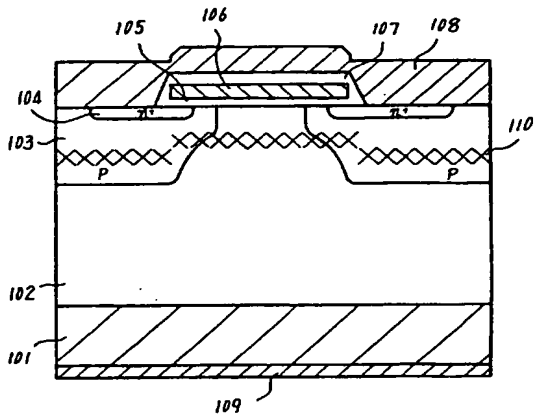
特開平3-259537(4)

807…金属電極、1111…リンガラス膜。

代理人 弁理士 小川 勝男

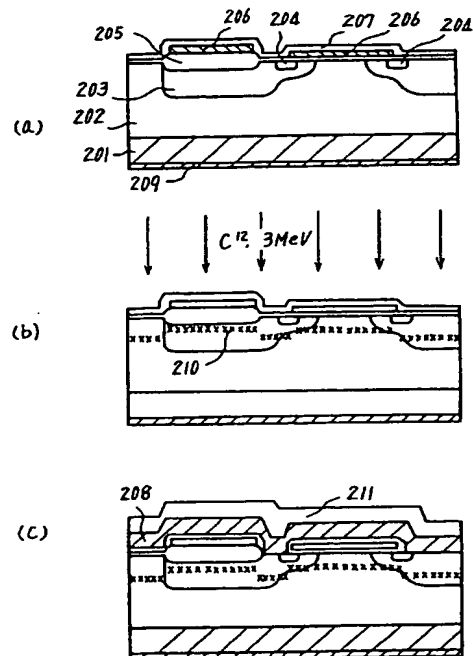
1001…高濃度半導体基板、102、202、
502、602、702、902、1002…n
形低濃度領域、103、203、503、603、
703、903、1003…p形拡散領域、104、
204、504、604、704、904、1004
…n形高濃度拡散領域、105、205、505、
605、705、905、1005…ゲート絶縁
膜、106、206、506、606、706、
906、1006…ゲート電極、107、207、
507、607、707、907、1007…リ
ンガラス保護膜、108、208、508、608、
708、908、1008…ソース電極、109、
209、509、609、709、909…ドレ
イン電極、110、210、510、610、
715、808、910、1010…結晶欠陥層、
211…PIQ層、710、711、712、
713…金属電極、714…p形ウエル領域、
801…p形半導体基板、802…SiO₂層、
803…HLD、804…反転層、805…ポリ
シリコン電極、806…n形高濃度拡散領域、

第 1 図

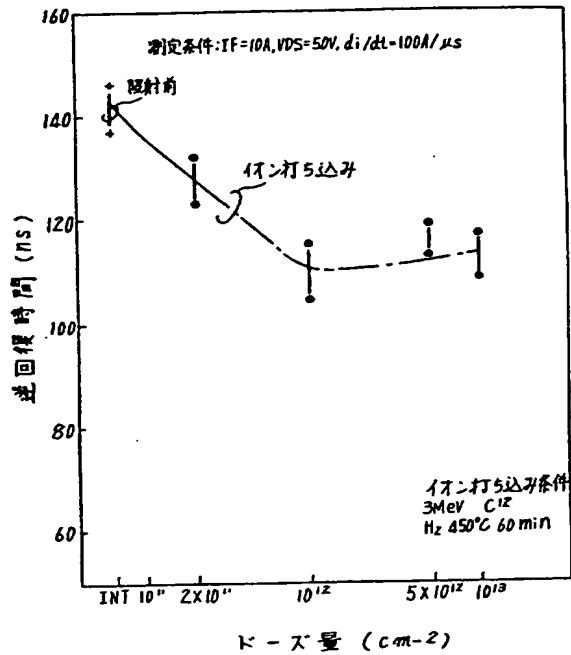


101 高濃度半導体基板
102 n形低濃度領域
103 p形拡散領域
104 n形高濃度拡散領域
105 ゲート絶縁膜
106 ゲート電極
107 リンガラス保護膜
108 ソース電極
109 ドレイン電極

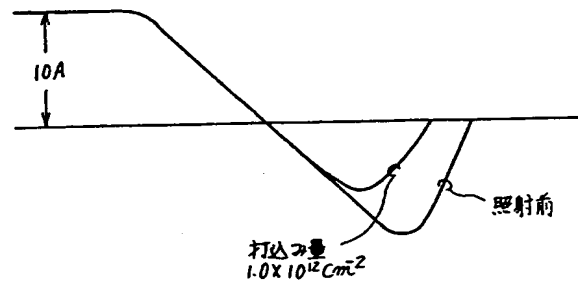
第 2 図



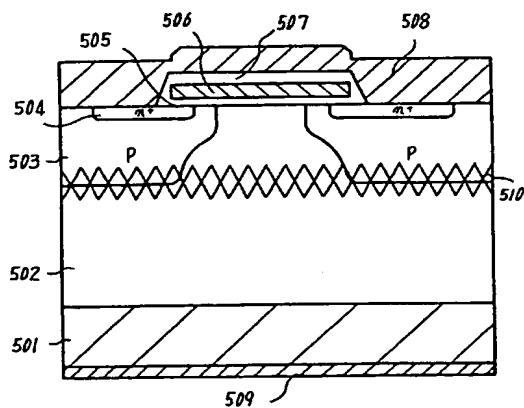
第 3 図



第 4 図

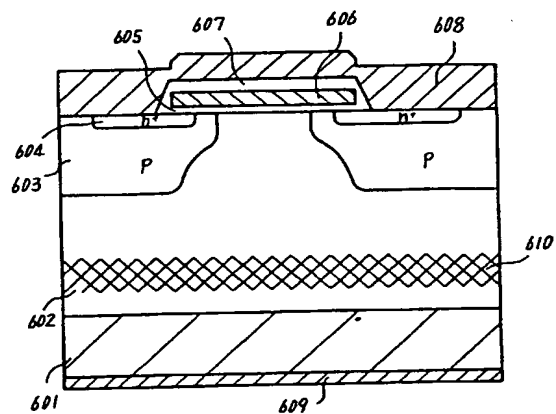


第 5 図



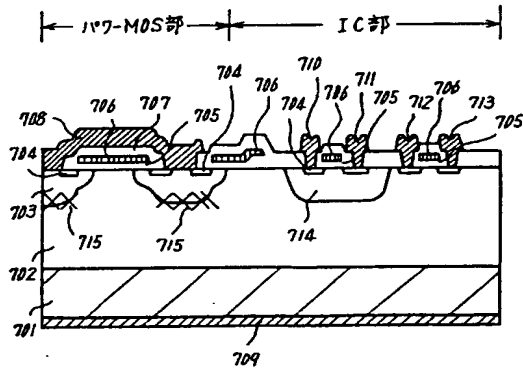
- 501 高濃度半導体基板
- 502 n形低濃度領域
- 503 p形拡散領域
- 504 n形高濃度拡散領域
- 505 ゲート絶縁膜
- 506 ゲート電極
- 507 リンガラス保護膜
- 508 ソース電極
- 509 ドレイン電極

第 6 図



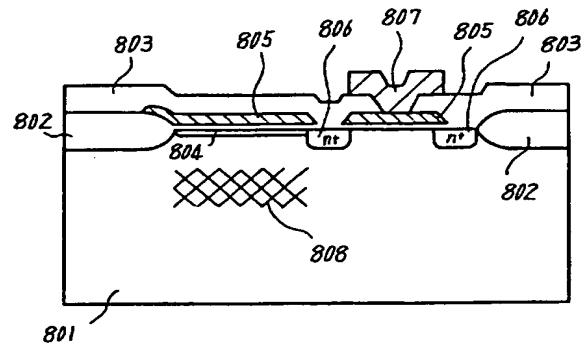
- 601 高濃度半導体基板
- 602 n形低濃度領域
- 603 p形拡散領域
- 604 n形高濃度拡散領域
- 605 ゲート絶縁膜
- 606 ゲート電極
- 607 リンガラス保護膜
- 608 ソース電極
- 609 ドレイン電極

第 7 図

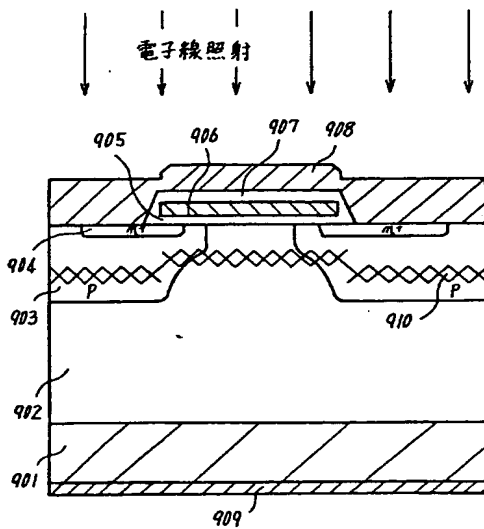


- 701 高濃度半導体基板
- 702 n形低濃度領域
- 703 p形拡散領域
- 704 n形高濃度拡散領域
- 705 ゲート絶縁膜
- 706 ゲート電極
- 707 リンガラス保護膜
- 708 金属電極
- 714 p型ウェル領域

第 8 図

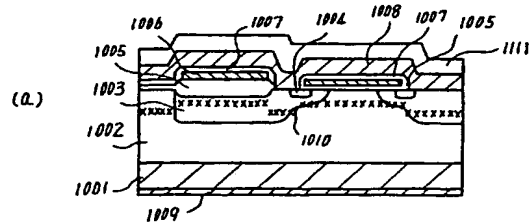


第 9 図

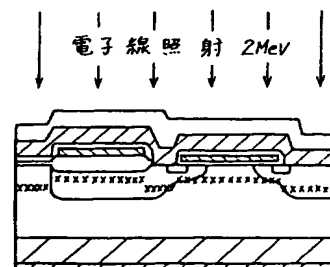


- 901 高濃度半導体基板
- 902 n形低濃度領域
- 903 p形拡散領域
- 904 n形高濃度拡散領域
- 905 ゲート絶縁膜
- 906 ゲート電極
- 907 リンガラス保護膜
- 908 ソース電極
- 909 ドレイン電極

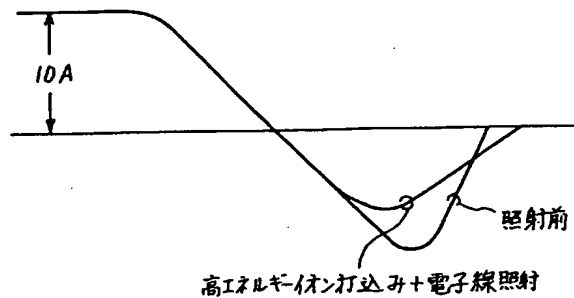
第 10 図



(b)



第 11 図



第 1 頁の続き

⑤Int. Cl.⁵

H 01 L 29/784

識別記号

庁内整理番号

②発明者	五 嶋	秀 和	東京都国分寺市東恋ヶ窪 1 丁目 280 番地 株式会社日立製作所中央研究所内
②発明者	大 高	成 雄	東京都小平市上水本町 5 丁目 20 番 1 号 株式会社日立製作所半導体設計開発センタ内
②発明者	石 坂	勝 男	東京都小平市上水本町 5 丁目 20 番 1 号 株式会社日立製作所半導体設計開発センタ内
②発明者	夏 秋	信 義	東京都青梅市今井 2326 番地 株式会社日立製作所デバイス開発センタ内

Patent Abstracts of Japan

PUBLICATION NUMBER : 03259537
PUBLICATION DATE : 19-11-91

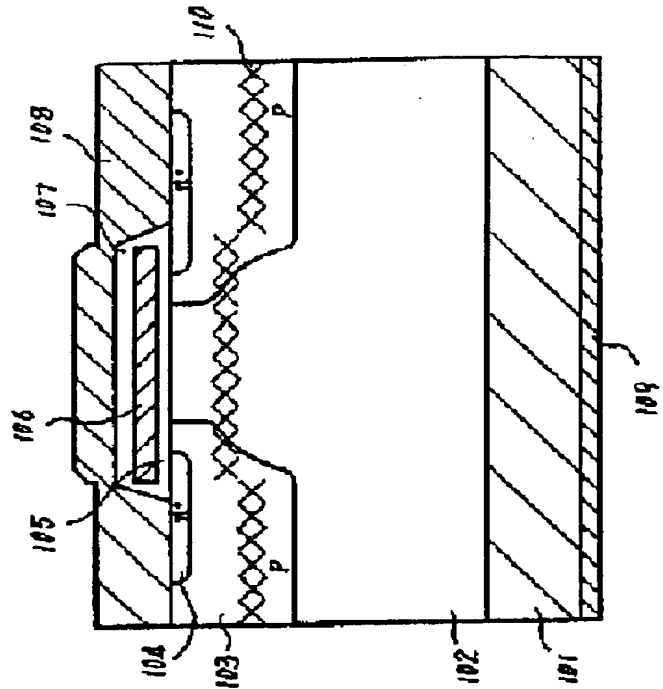
APPLICATION DATE : 09-03-90
APPLICATION NUMBER : 02056398

APPLICANT : HITACHI VLSI ENG CORP;

INVENTOR : KASHU NOBUYOSHI;

INT.CL. : H01L 21/336 H01L 21/322 H01L 29/784

TITLE : SEMICONDUCTOR DEVICE AND
MANUFACTURE THEREOF



ABSTRACT : PURPOSE: To suppress other characteristic deterioration to a minimum limit, to improve switching speed and to increase breakdown strength by forming a crystal defect layer due to an ion implantation near a base region, and introducing a life time killer to a power MOSFET.

CONSTITUTION: A p-type diffused region 103 is formed on an n-type high concentration substrate 101 having a drain electrode 109 and a base region 102 of an n-type low concentration region, and an n-type high concentration diffused region 104, etc., to become a source region is formed by high concentration ion implantation with dopant as carbon, thereby forming a power MOSFET. A crystal defect layer 110 is formed near the region 102 by the predetermined ion implantation, a life time killer is introduced to the MOSFET by the layer 110 to suppress the deterioration of other characteristic to a minimum limit, the reverse recovery time of a flywheel diode is shortened, and switching speed, breakdown strength are enhanced.

COPYRIGHT: (C)1991,JPO&Japio